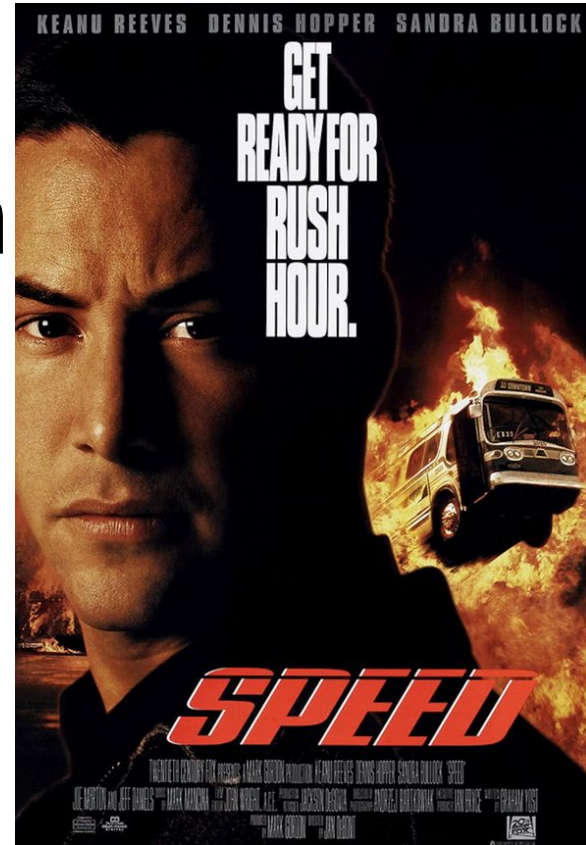


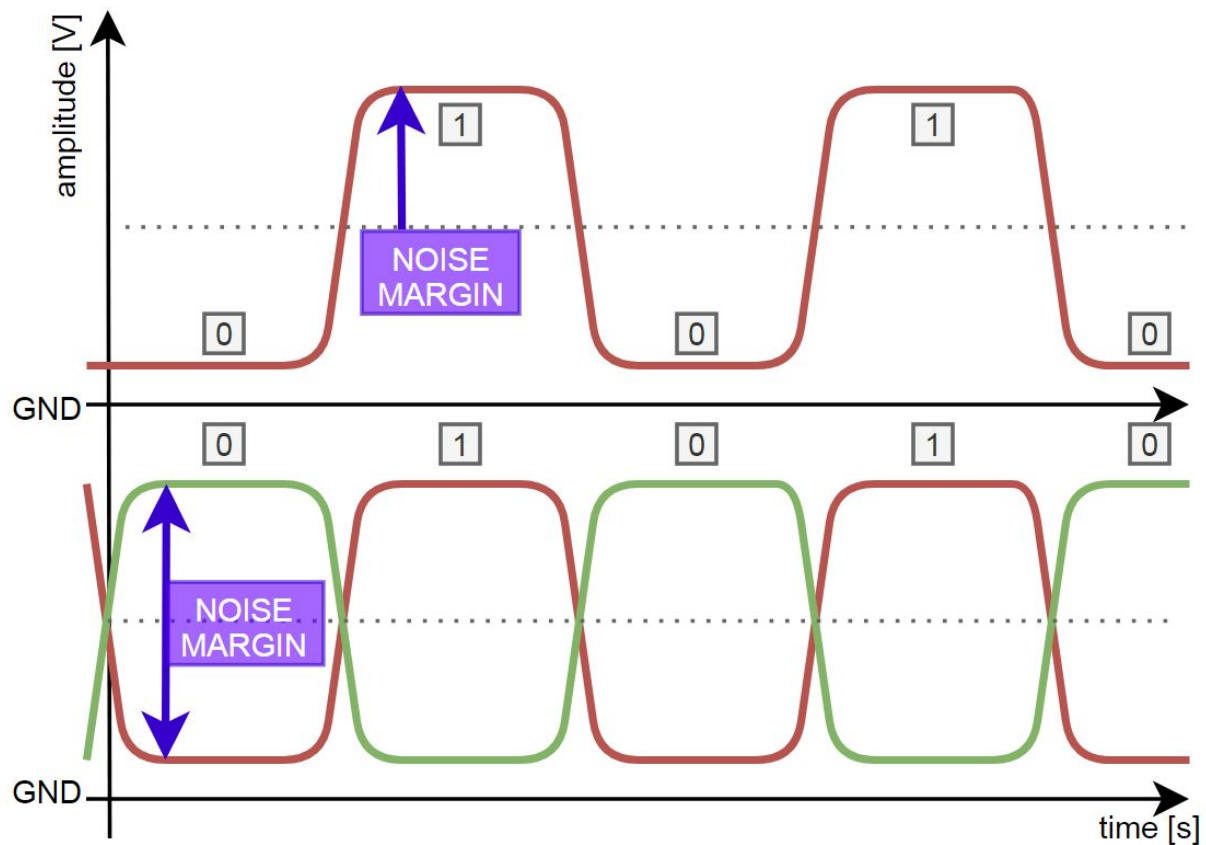
Projektowanie układu zegarowego dla złożonych systemów cyfrowych.

DoktorTronik

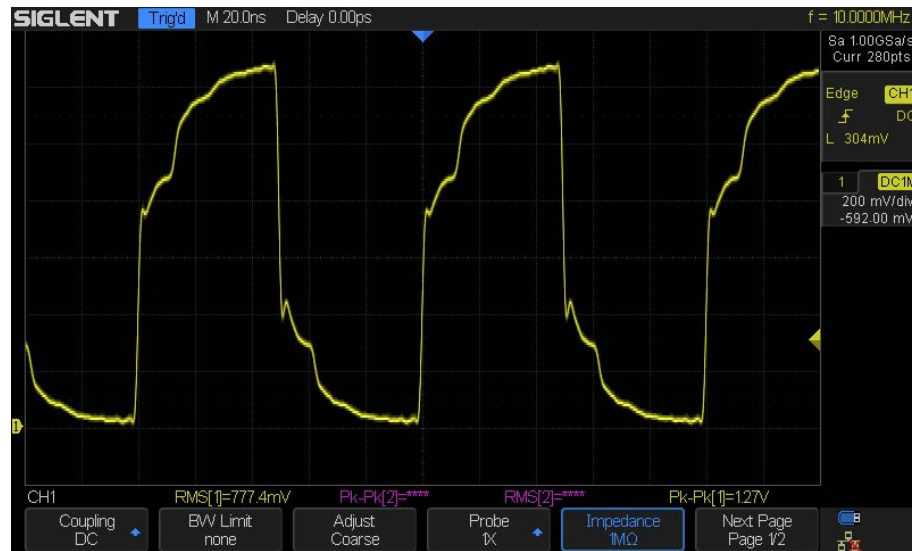
ELEKTRONIKA - SZKOLENIA - DORADZTWO
DR INŻ. RAFAŁ STĘPIEŃ



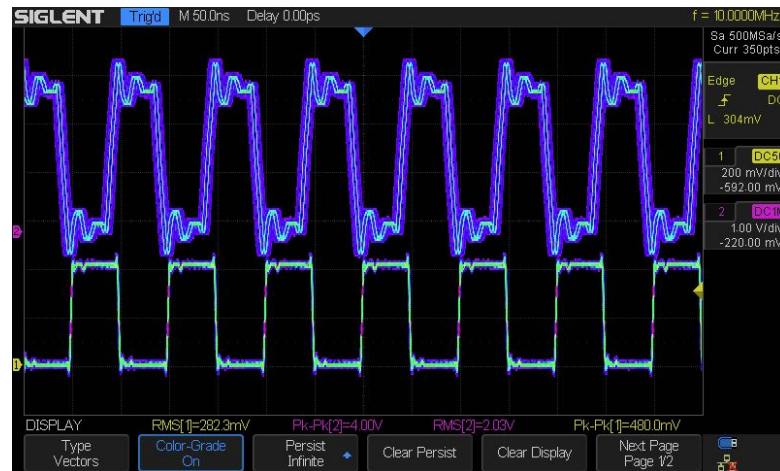
Sygnaly zegarowe - wstęp



Sygnaly zegarowe - wstęp



Sygnaly zegarowe - wstęp



Sygnaly zegarowe - wstęp

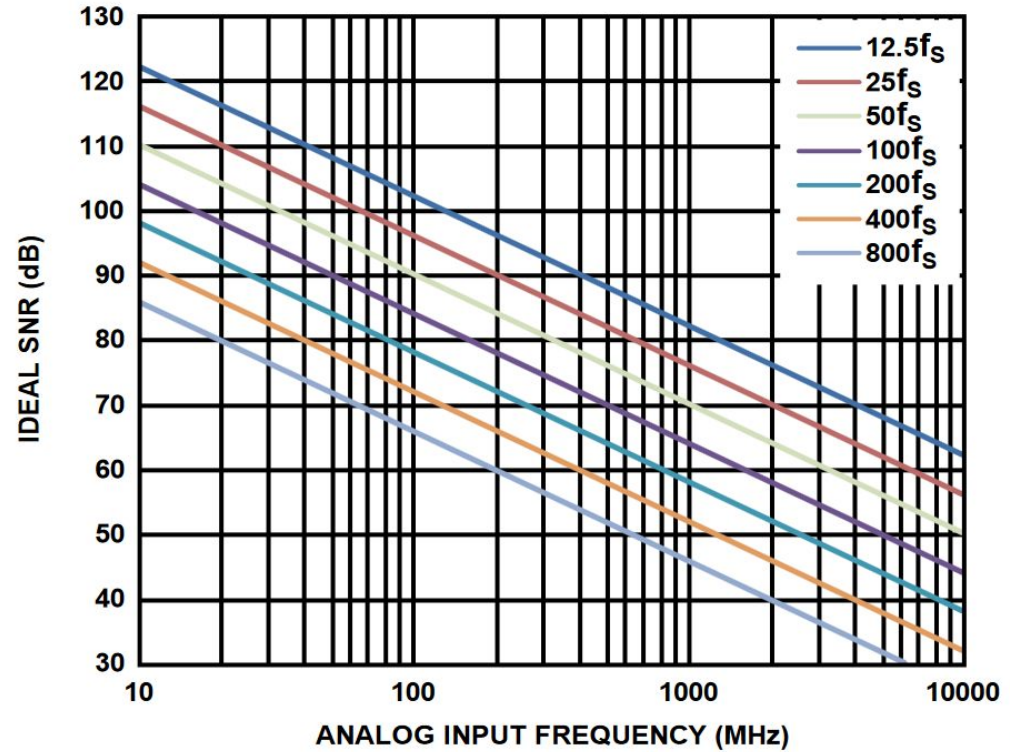
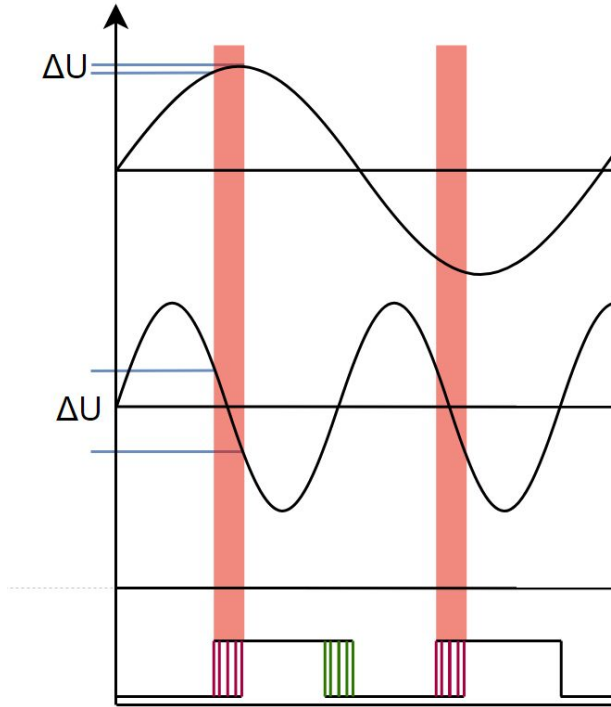
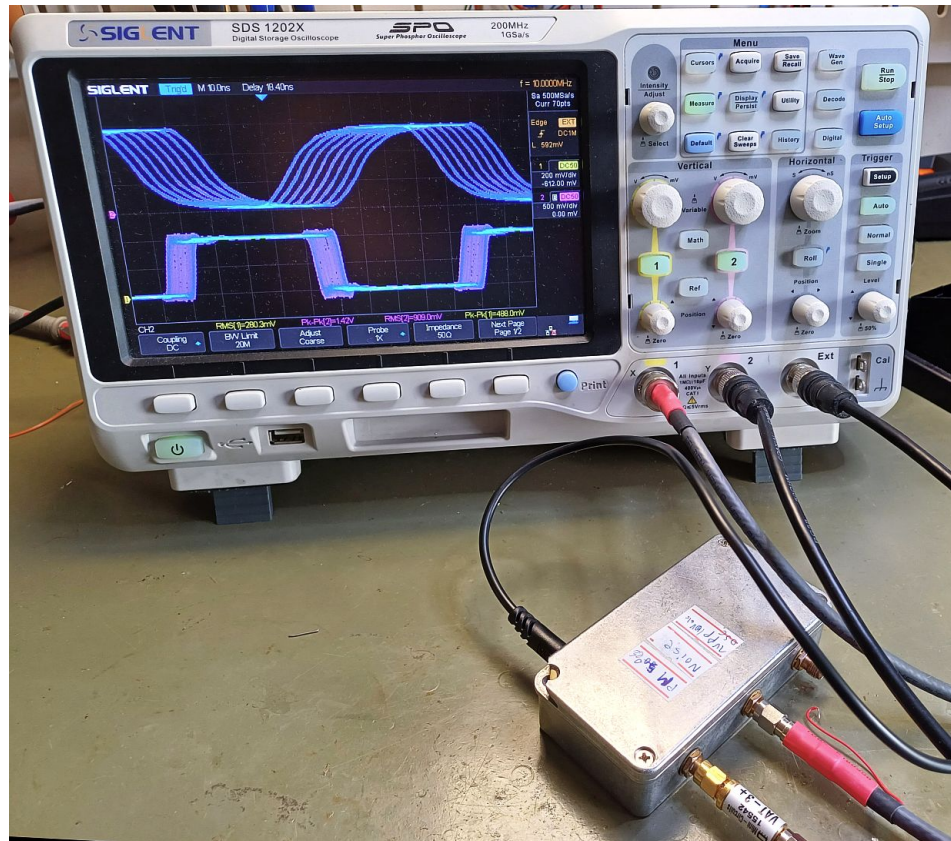


Figure 90. Ideal SNR vs. Analog Input Frequency and Jitter

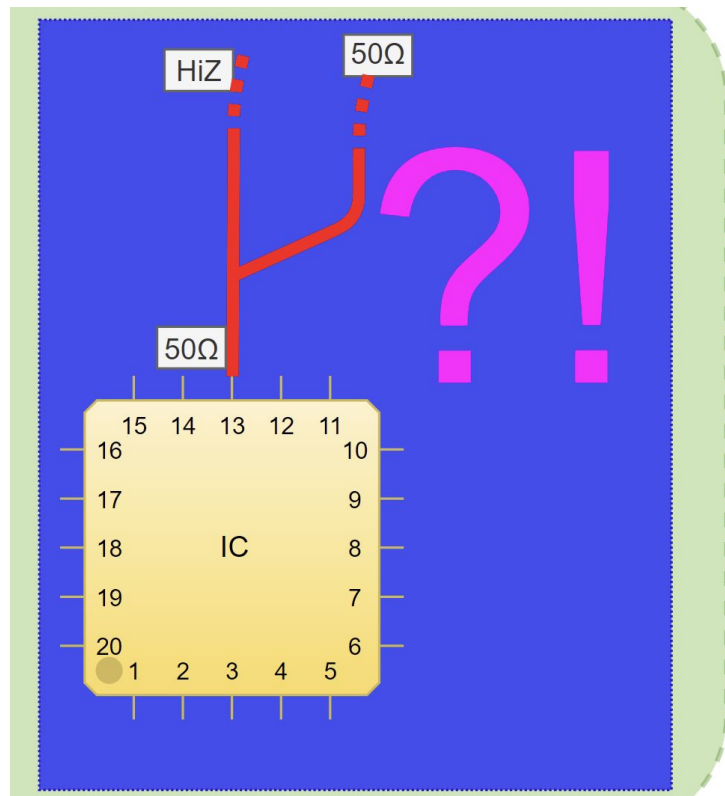
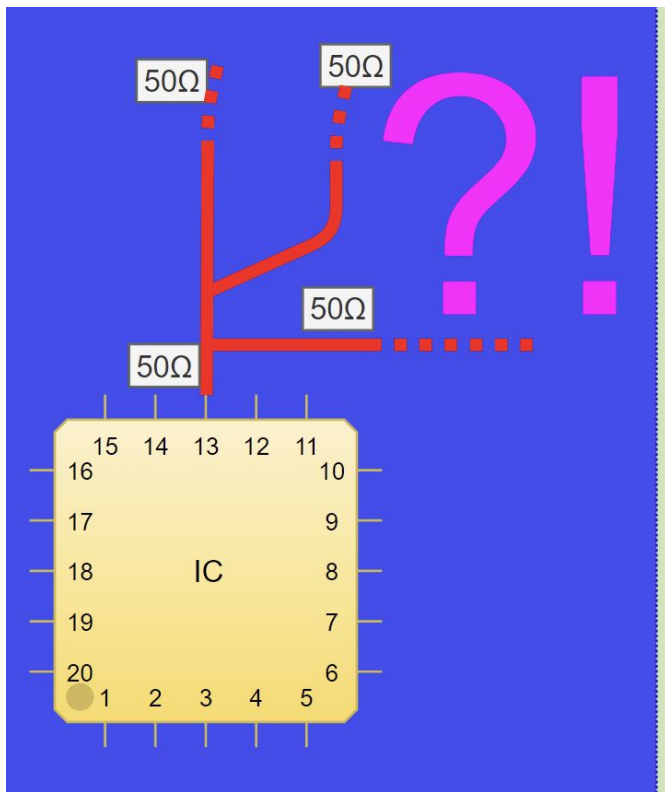
Sygnaly zegarowe - demo PLL



Projektowanie systemu zegarowego

(zarys metodologii, zaleceń i problemów)

Funkcjonalność



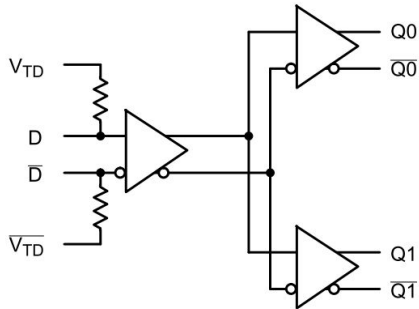
Funkcjonalność

NB6N11S

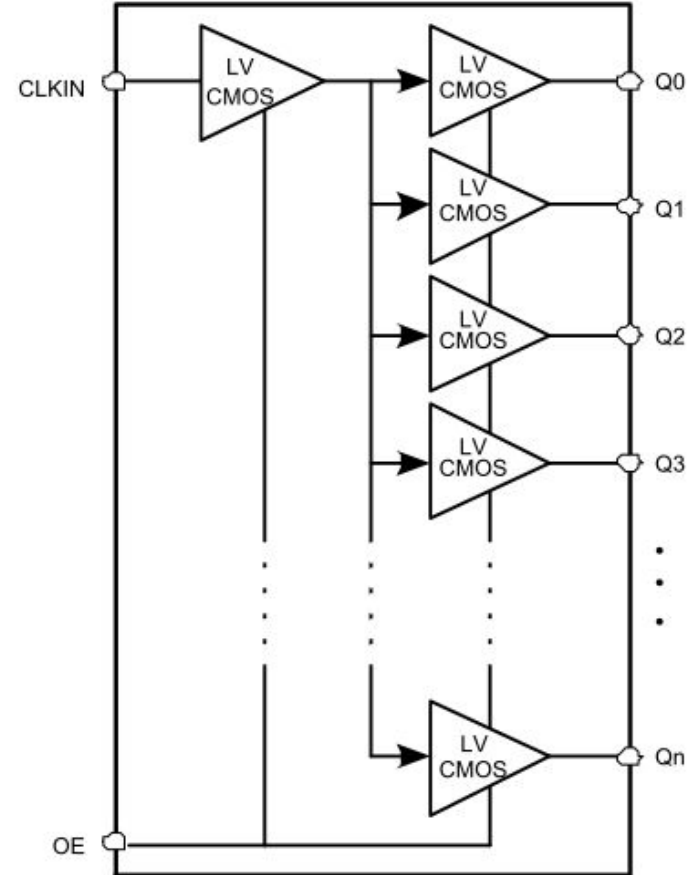
3.3 V 1:2 AnyLevel™ Input to LVDS Fanout Buffer / Translator

Description

The NB6N11S is a differential 1:2 Clock or Data Receiver and will accept AnyLevel input signals: LVPECL, CML, LVCMOS, LVTTTL, or LVDS. These signals will be translated to LVDS and two identical copies of Clock or Data will be distributed, operating up to 2.0 GHz or 2.5 Gb/s, respectively. As such, the NB6N11S is ideal for SONET, GigE, Fiber Channel, Backplane and other Clock or Data distribution applications.



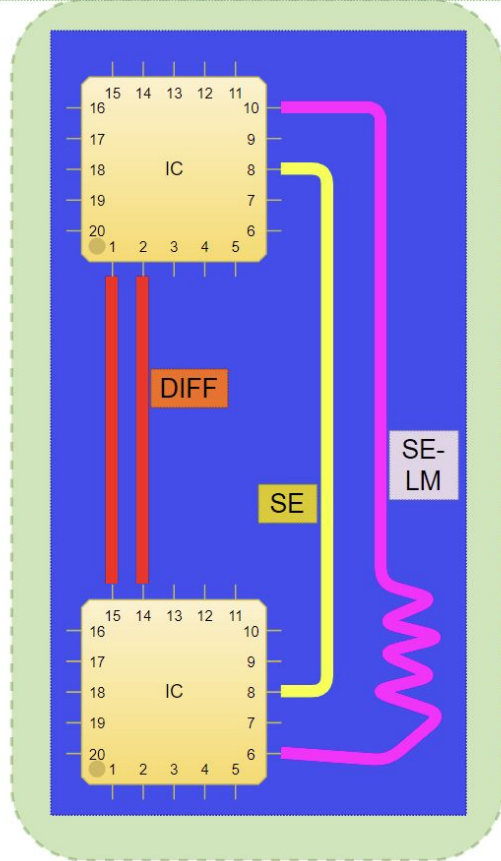
BLOCK DIAGRAM



12	V _{TD}	-	Internal 50 Ω termination pin for D
----	-----------------	---	-------------------------------------

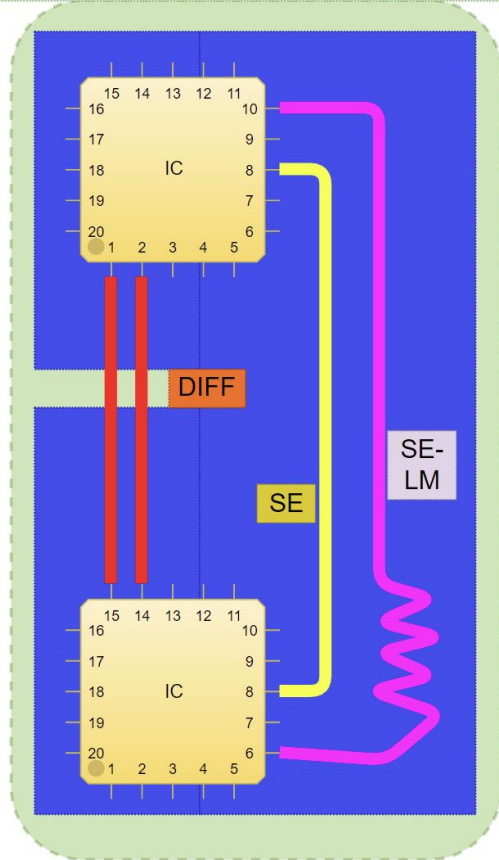
PCB

Terminator components not shown, 2L PCB



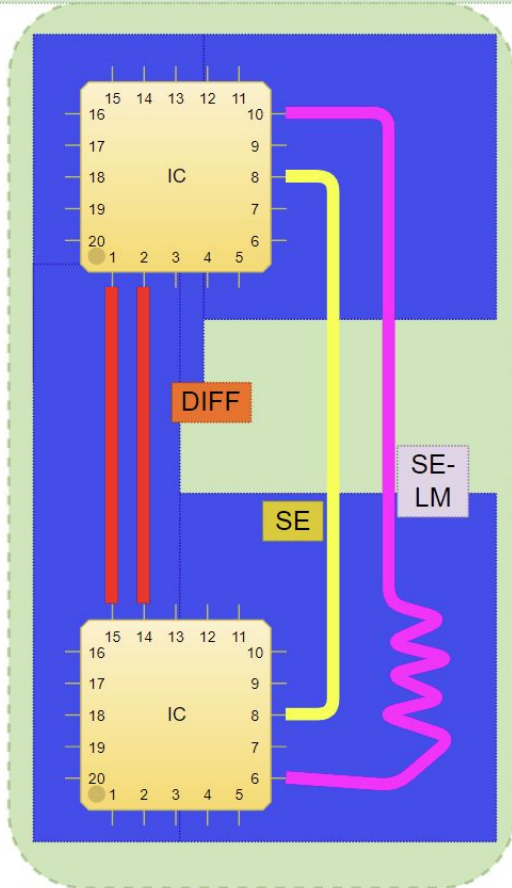
PCB

Terminator components not shown, 2L PCB



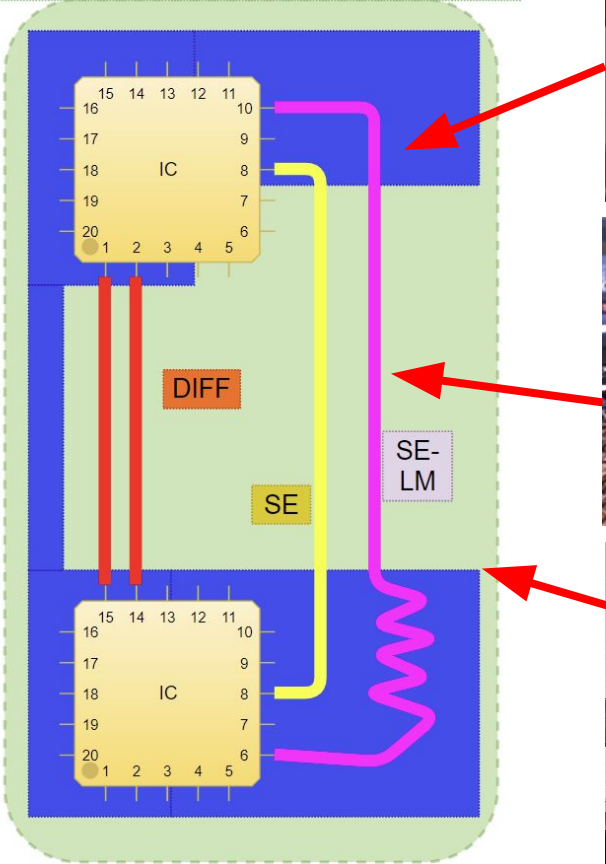
PCB

Terminator components not shown, 2L PCB



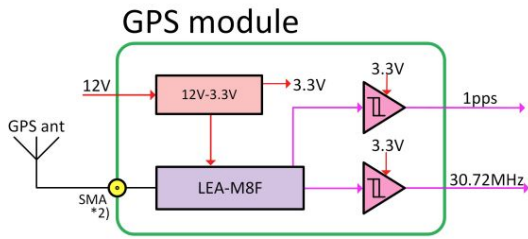
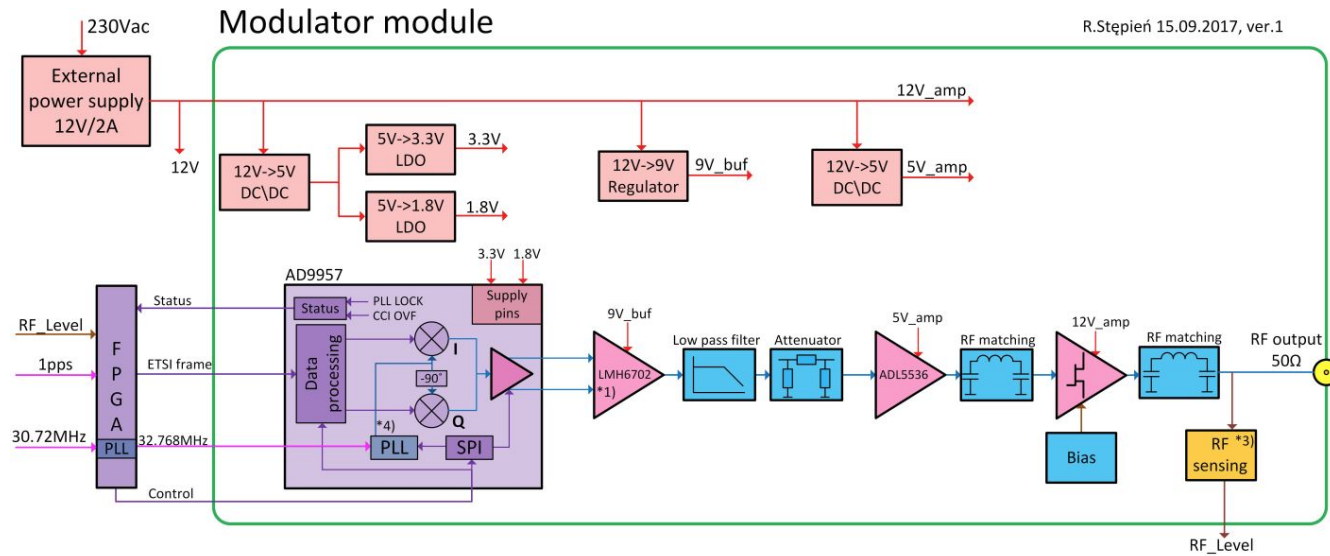
PCB

Terminator components not shown, 2L PCB



Przykładowa architektura systemu zegarowego

Sygnaly zegarowe

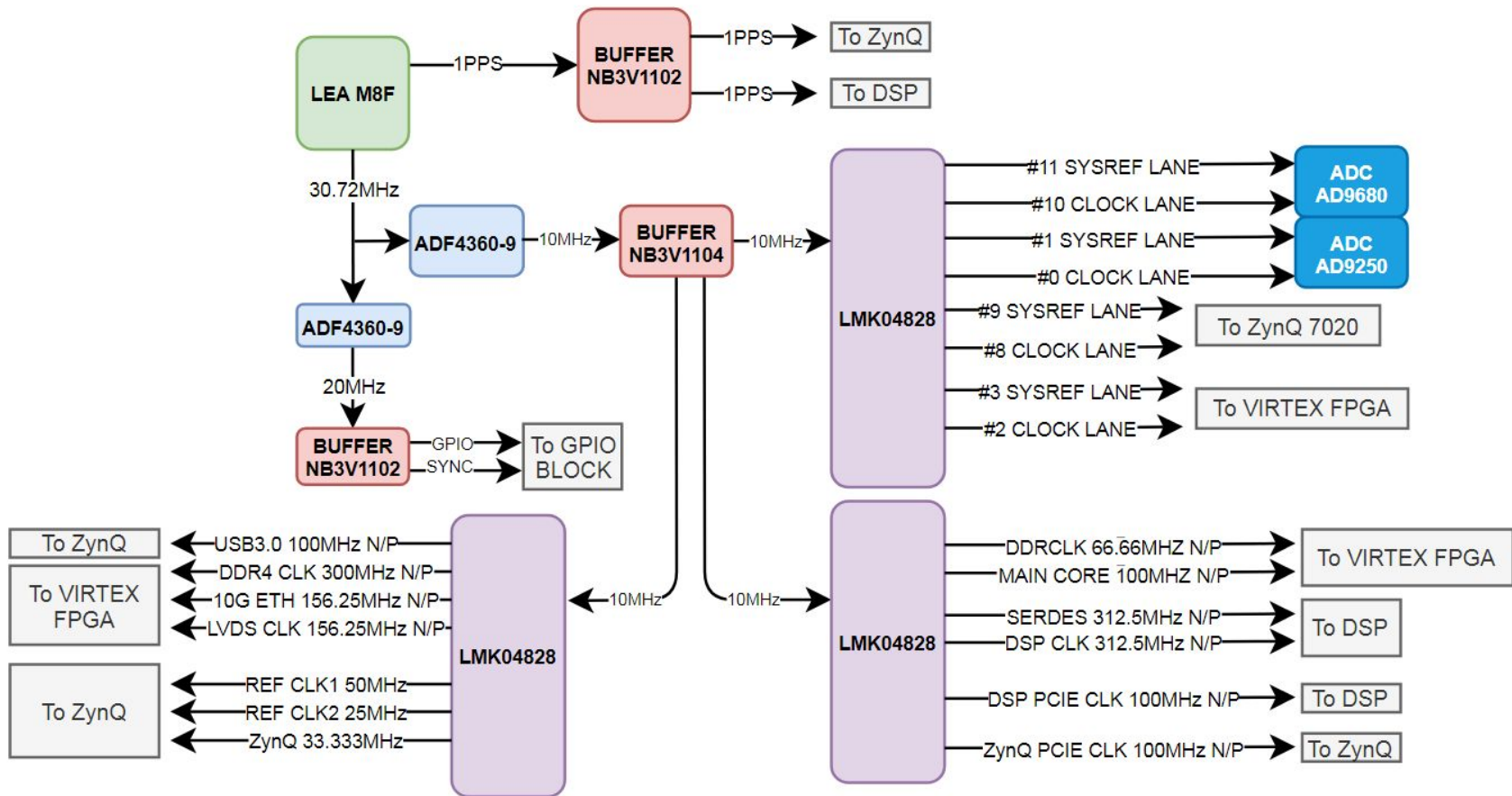


Key:

- Power supply
- RF signals
- Clock signals
- Digital signals
- Other signals
- PCB outline
- Amplifiers, buffers
- Passive circuits
- Power supply circuits
- Mixed signal circuits
- Measurement circuit

- *1) Different parts may be used as a buffer amplifier
- *2) GPS module supports passive and active antenna
- *3) Optional RF power sensing
- *4) PLL output frequency = $32.768\text{MHz} \times 22 = 720,896\text{MHz}$

Sygnaly zegarowe



Sygnaly zegarowe

TI: TICS

AD: ADIsimPLL, ADIsimCLK

RESETN_SW
 SYNCN_SW

PLL
VCO Post-Div Out: 1800 MHz
3
5400 MHz

PRIREF
100 MHz

SECREF
50 MHz

Output Muxes

- CH01PWDN
- CH23PWDN
- CH4PWDN
- CH5PWDN
- CH6PWDN
- CH7PWDN

Output Dividers

- DIV01_DDLY: 72
- DIV23_DDLY: 9
- DIV4_DDLY: 27
- DIV5_DDLY: 54
- DIV6_DDLY: 18
- DIV7_DDLY: 180

DIFF / 1.8V LVCMOS Output Drivers*

- OUT0**: 25 MHz
- OUT1**: 25 MHz
- OUT2**: 200 MHz
- OUT3**: 200 MHz
- OUT4**: 66.66666666666671 MHz
- OUT5**: 33.33333333333336 MHz
- OUT6**: 100 MHz
- OUT7**: 10 MHz

NOTE: When PRI or SEC REF is selected by an Output Mux, the PLL and Output Divider are bypassed.

Register Types
- EEPROM PAGE Register (black)

Output Mode Legend

- DIFF:** LVDS, CML, LVPECL mode
- CMOS:** 1.8V LVCMOS on OUT_x_P/N
- Vol:** CMOS Static Low
- +**: CMOS Normal Polarity
- : CMOS Inverted Polarity
- HIZ:** CMOS Tri-state

On OUTx channels, arrange OUT docks carefully: adjacent OUT channels
Minimize crosstalk (direct coupling or inter-mod spurs)
Use opposite CMOS polarities on OUT_x_P/N

RESETN_SW
 SYNCN_SW

Suggested PLL Settings

- **Integer-N Mode:** Ext. C2 = 3300pF, PLL Order = Integer, Loop BW = Normal, LF Type = 2nd/3rd Order, Stretch = 200 ps
- **Fractional-N Mode:** Ext C2 = 0.033uF, PLL Order = 1st/2nd/3rd, Loop BW = Normal, LF Type = 3rd Order, Stretch = 600 ps
- **Narrow-band Mode:** Ext C2 = 22 uF, PLL Order = Any, LBW Mode = Narrow, LF Type = 2nd Order, Stretch = Any, PLL PDF ~1 MHz

PRIREF Input
Diff Input
Max Gain
 TERM2GND_PRI
 DIFFTERM_PRI
 AC_MODE_PRI

SECREF Input
XTAL Input
Max Gain
 TERM2GND_SEC
 DIFFTERM_SEC
 AC_MODE_SEC

Doubler
1x
2x

R Divider
1

PLL Ref
100 MHz

PLL

PLL State PLL_PDN Loop BW: Normal

SYNC Mode PLL_SYNC_EN LF Type: 3rd Order LF

PLL Order: Integer R2: 1.636 kohm

Dither: Disabled R3: 0.518 kohm

Stretch: 200 ps C1: 55 pF

R3 Mode: Int-PLL C3: 35 pF

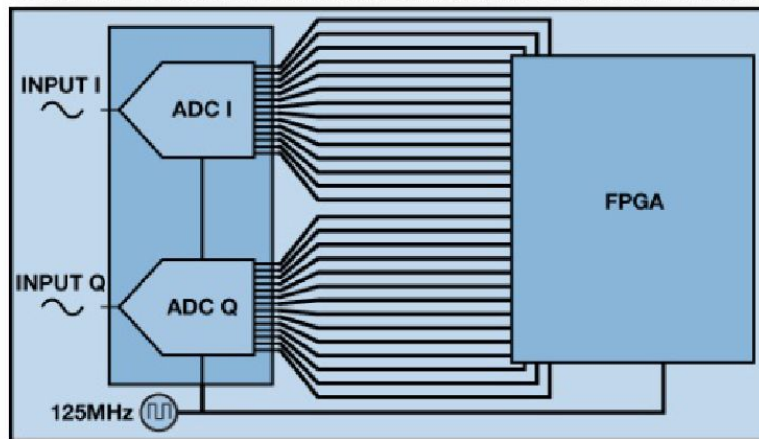
VCO
VCO Out: 5400 MHz

A na deser: JESD204

JESD204(B)

1. Dlaczego jest stosowany?
 - a. uproszczenie połączeń
 - b. deterministyczna latencja
 - c. synchronizacja wielu układów
 - d. niższy pobór mocy
 - e. prostszy layout
 - i. mniej ścieżek
 - ii. length matching nie jest krytyczny

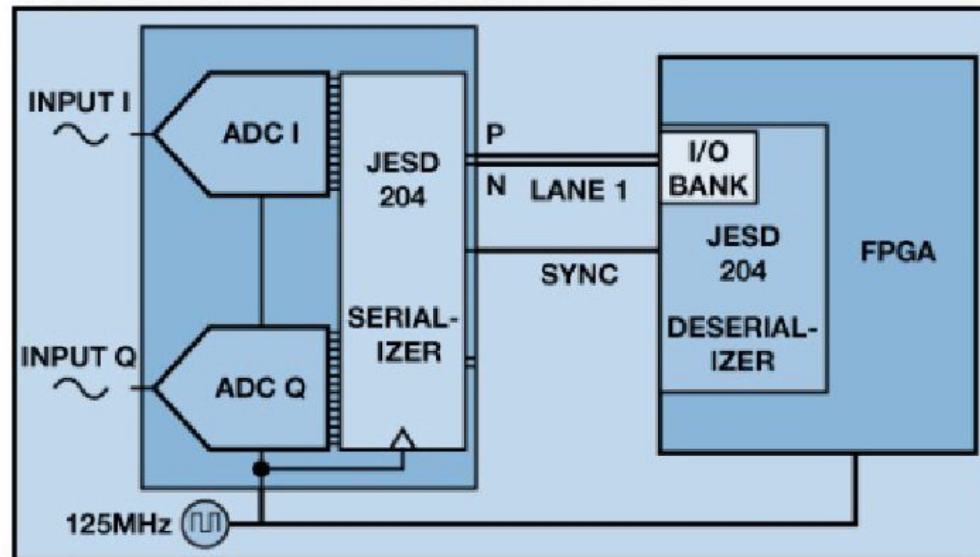
ADC WITH CONVENTIONAL PARALLEL CMOS/LVDS OUTPUTS



- MUST HAVE SAME TRACE LENGTHS (28)
- HIGH COMPLEXITY ROUTING DUE TO BGA
- HIGHER/LOWER CONVERTER RESOLUTION REQUIRES TOTAL HARDWARE REDESIGN

JESD204(B)

ADC WITH ONE SERIAL JEDEC LINK



- REDUCED NUMBER OF TRACES (4)
- VERY LOW COMPLEXITY ROUTING
- SIMPLIFIED SYNCHRONIZATION PROTOCOL
- MIGRATION TO ADC WITH HIGHER/LOWER RESOLUTION WITHOUT HARDWARE MODIFICATION, ONLY NEW CONFIGURATION FILE FOR THE FPGA

Test

Test

1. Jakie zjawisko prezentuje przedstawiony oscylogram i co jest jego przyczyną?



2. W jakim celu stosowane są bufory typu fan-out?
3. W przetwarzaniu ADC/DAC staramy się kontrolować poziom jitteru sygnału zegarowego - dlaczego to robimy i w jaki sposób można to wykonać?

Chcesz rozwinąć swoje kompetencje?

Szkolenia i warsztaty:

- 1) Projektowanie urządzeń elektronicznych wysokich częstotliwości (**RF Design**)
 - a) opcjonalnie rozszerzony o **High-Speed design**
- 2) Projektowanie układów zasilania **DC/DC i AC/DC/PFC**
- 3) Projektowanie urządzeń elektronicznych z uwzględnieniem wymagań **kompatybilności elektromagnetycznej (EMC)**
- 4) Warsztaty z **pomiarów układów radiowych**
- 5) Szkolenie z zgodności na **projekt pod kątem ETSI EN 300-220**
- 6) **Analogowe przetwarzanie sygnałów**



CERTYFIKAT

DoktorTronik

ELEKTRONIKA - SZKOLENIA - DOŚWIADCZENIE
DR INŻ. RAFAŁ STĘPIEŃ

**Standard Usług Szkoleniowo-Rozwojowych
Polskiej Izby Firm Szkoleniowych (SUS 2.0)**

DEKRA Certification Sp. z o.o. niniejszym potwierdza, że przedsiębiorstwo

MIKROSIG RAFAŁ STĘPIEŃ

<https://doktortronik.pl/oferta/>